

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-141481  
 (43)Date of publication of application : 17.05.2002

[51]Int.CI.

H01L 27/105  
 G11C 11/14  
 G11C 11/15  
 H01L 43/08

[21]Application number : 2000-334491

(71)Applicant : CANON INC

[22]Date of filing : 01.11.2000

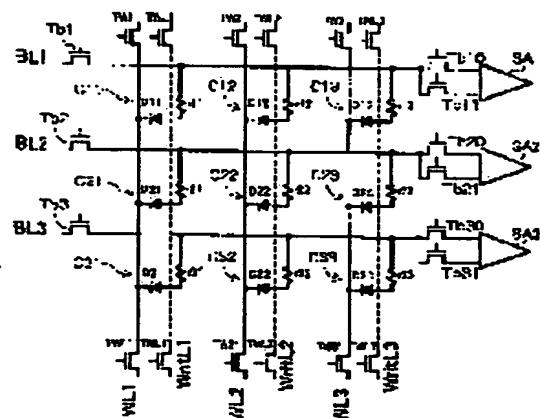
(72)Inventor : HIRAI MASAHIKO

## [54] FERROMAGNETIC MATERIAL MEMORY AND OPERATION METHOD THEREOF

### [57]Abstract:

**PROBLEM TO BE SOLVED:** To provide a memory structure and a driving method thereof, related to a matrix MRAM in which a cell area is small and a stored information is stably detected.

**SOLUTION:** A ferromagnetic material memory comprises bit lines BL1-3, variable resistors r11-13, 21-23, and 31-33 wherein an electric resistance value is selected by selecting magnetization direction of a ferromagnetic material, PN junction diodes D11-13, 21-23, and 31-33 connected in series to the variable resistors, and sense amplifiers SA1-3 connected to a prescribed bit line which, detect a bit line signal before and after inversion of the magnetization direction of the ferromagnetic material when reading. When reading the ferroelectric material memory, the electric resistance value of the variable resistor (r) is acquired to invert the magnetization direction of the ferroelectric material of a soft layer, and then the electric resistance value is acquired again. A signal detecting circuit SA compares the electric resistance values before and after inversion of the magnetization direction each other, and the information stored in a hard layer is discriminated, based on the comparison result.



### LEGAL STATUS

[Date of request for examination]

18.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

**BEST AVAILABLE COPY**

2

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-141481  
(P2002-141481A)

(43)公開日 平成14年5月17日 (2002.5.17)

(51) Int.Cl.  
H 01 L 27/105  
G 11 C 11/14  
11/15  
H 01 L 43/08

識別記号

F I  
G 11 C 11/14  
11/15  
H 01 L 43/08  
27/10

テマコード (参考)  
A 5 F 0 8 3  
Z  
4 4 7

審査請求 未請求 請求項の数15 OL (全 13 頁)

(21)出願番号 特願2000-334491(P2000-334491)

(22)出願日 平成12年11月1日 (2000.11.1)

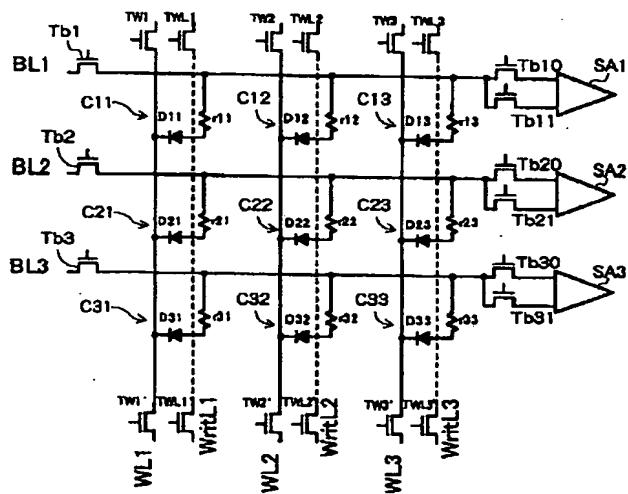
(71)出願人 000001007  
キヤノン株式会社  
東京都大田区下丸子3丁目30番2号  
(72)発明者 平井 匡彦  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内  
(74)代理人 100088328  
弁理士 金田 暢之 (外2名)  
Fターム(参考) 5F083 FZ10 GA09 GA12 HA02 JA36  
JA37 JA39 KA01 KA05 KA16  
LA03 LA12 LA16 MA06 MA16  
MA19

## (54)【発明の名称】 強磁性体メモリおよびその動作方法

## (57)【要約】

【課題】 マトリックス型MRAMにおいてセル面積が小さく、かつ、記憶した情報を安定的に検出できるメモリ構造およびその駆動方法を提供する。

【解決手段】 ビット線BL1～3と、強磁性体の磁化の方向を選択することで電気抵抗値を選択可能な可変抵抗器r11～13, 21～23, 31～33と、可変抵抗器に直列接続されたPN接合ダイオードD11～1  
3, 21～23, 31～33と、所定のビット線に接続され読み出し動作時に強磁性体の磁化方向が反転する前後のビット線の信号を検知するセンスアンプSA1～3とを備えた強磁性体メモリの読み出し動作時、可変抵抗器rの電気抵抗値を取得してソフト層の強磁性体の磁化方向を反転させ、その後再び電気抵抗値を取得し、磁化方向が反転する前と後の電気抵抗値を信号検知回路SAで比較した結果からハード層に記憶された情報を判別する。



## 【特許請求の範囲】

【請求項1】 強磁性体の磁化の方向によって情報を記憶する不揮発性の強磁性体メモリであって、互いに平行に配置された少なくとも1本のビット線と、前記ビット線と交差するように配置され、所望により接地可能な、少なくとも1本のワード線と、半導体基板上に形成され、一方の端子が所定の前記ワード線に接続されたスイッチング素子と、前記強磁性体の磁化の方向を選択することで電気抵抗値を選択可能であり、前記スイッチング素子の他方の端子に一方の端子が接続され、所定の前記ビット線に他方の端子が接続された可変抵抗器とを有し、前記スイッチング素子と可変抵抗器は前記ビット線とワード線の各交点に設けられ、前記スイッチング素子の直上に前記ビット線、ワード線、可変抵抗器が積層されていることを特徴とする強磁性体メモリ。

【請求項2】 前記スイッチング素子は、P N接合ダイオードであり、前記半導体基板上に形成されたP型およびN型拡散層からなる、請求項1記載の強磁性体メモリ。

【請求項3】 前記P型およびN型拡散層は前記半導体基板面に対し並んで配置されている、請求項2記載の強磁性体メモリ。

【請求項4】 前記可変抵抗器は、強磁性体膜／非磁性膜／強磁性体膜からなる、請求項1記載の強磁性体メモリ。

【請求項5】 前記強磁性体膜が膜面に対して水平方向に磁化されている、請求項4記載の強磁性体メモリ。

【請求項6】 前記強磁性体膜が膜面に対して垂直方向に磁化されている、請求項4記載の強磁性体メモリ。

【請求項7】 前記強磁性体膜の一方は他方に比べて保磁力が大きく、情報は保磁力が大きな強磁性体膜に蓄積され、読み出しが保磁力の小さな強磁性体層の磁化を反転させ、反転前後の前記可変抵抗器の抵抗値を比較することにより行われる、請求項4記載の強磁性体メモリ。

【請求項8】 前記強磁性体メモリは、更に、前記ビット線に接続され、前記反転前後の可変抵抗器の抵抗値を比較する比較器を有する、請求項7記載の強磁性体メモリ。

【請求項9】 前記ビット線と前記ワード線のうち、少なくとも1本が銅を主体とする材料によって構成された、請求項1記載の強磁性体メモリ。

【請求項10】 前記半導体基板はS O I基板である、請求項1記載の強磁性体メモリ。

【請求項11】 請求項1記載の強磁性体メモリで構成された不揮発性磁気メモリチップ。

【請求項12】 請求項1記載の強磁性体メモリで構成された組込み型磁気メモリチップ。

【請求項13】 請求項9または10記載のメモリチップを用いた、携帯式通信機器。

【請求項14】 請求項9または10記載のメモリチップを用いた、パーソナルコンピュータ機器。

【請求項15】 強磁性体の磁化の方向によって情報を記憶する請求項1記載の不揮発性の強磁性体メモリの駆動方法であって、読み出し動作において、前記可変抵抗器の前記電気抵抗値を取得、保持し、前記強磁性体の磁化方向を反転させ、磁化方向が反転した後の前記電気抵抗値を取得し、磁化方向が反転する前と後の前記磁気抵抗値を比較した結果から前記情報を判別する、強磁性体メモリの動作方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、情報を記憶するメモリに関し、特に、強磁性体を用いた不揮発性メモリに関するものである。

## 【0002】

【従来の技術】 一般に、強磁性体は外部から印加された磁場によって強磁性体内に発生した磁化が外部磁場を取り除いた後にも残留する（これを残留磁化という）という特性を有している。また、強磁性体は磁化の方向や磁化の有無などによってその電気抵抗が変化する。これは磁気抵抗効果と呼ばれており、そのときの電気抵抗値の変化率を磁気抵抗比（Magnetoo-Resistance Ratio ; MR比）という。磁気抵抗比が大きい材料としては巨大磁気抵抗（GMR ; Giant Magnetoo-Resistance）材料や超巨大磁気抵抗（CMR ; Colossal Magnetoo-Resistance）材料があり、金属、合金、複合酸化物などである。例えば、Fe、Ni、Co、Gd、Tbおよびこれらの合金や、 $\text{La}_x\text{Sr}_{1-x}\text{MnO}_3$ 、 $\text{La}_x\text{Ca}_{1-x}\text{MnO}_3$ などの複合酸化物などの材料がある。磁気抵抗材料の残留磁化を利用して、磁化方向や磁化の有無により電気抵抗値が選択され、情報を記憶する不揮発性メモリを構成することができる。このような不揮発性メモリは磁気メモリ（MRAM ; Magnetoo-Random Access Memory）と呼ばれている。

【0003】 近年、開発が進められているMRAMの多くは、巨大磁気抵抗材料の強磁性体の残留磁化で情報を記憶する強磁性体メモリセルを構成し、磁化方向の違いによって生じる電気抵抗値の変化を電圧に変換して記憶した情報を読み出す方式を採用している。また、書き込み用配線に電流を流して誘起される磁場により強磁性体メモリセルの磁化方向を変化させることで、メモリセルに情報を書き込み、また、その情報を書き換えることができる。

【0004】 MRAMのセル構造やその駆動方法は、R. E. Scheuerlein (1998 Pro

c. of Int NonVolatile Memory Conf. P 47) に示されている。そこでは、互いに交差した 1 対の書き込み線および 1 対の読み出し線を配したものや、互いに交差した 1 対の配線で書き込み線と読み出し線を兼ねた巨大磁気抵抗薄膜を含むメモリセルと、これに直列に接続されたダイオードからなるもの(マトリックス型)が提案されている。

【0005】また、特開平6-84347号公報において、互いに交差した 1 対の配線が書き込み線と読み出し線を兼ねており、セル選択用の電界効果型トランジスタと巨大磁気抵抗薄膜を含む抵抗素子とを組み合わせたメモリセル(1T1R型; 単位セルが 1 つのトランジスタと 1 つの磁気抵抗素子からなる構造である)が開示されている。巨大磁気抵抗薄膜を含むメモリセルは、磁化の方向によって電気抵抗値が異なる磁気抵抗効果を示す。

【0006】また、IBM社のW. J. Gallagher は、米国特許U.S.P. 5, 640, 343 および U.S.P. 5, 793, 697 で 1 つの TMR 素子と 1 つのダイオードを直列に接続した単位セルがマトリックス状に設けられた X-Y 配線により接続されたメモリアレイを開示している。これによれば、単純なマトリックス状の配線で TMR 素子を挟んだ構造の場合に生ずる迂回電流をダイオードによって回避することができ、また、1T1R型に比べて構造が簡単なのでセル面積が小さくなる可能性がある。

【0007】また、特開平6-84347号公報には、読み出し動作中に磁気抵抗素子の磁化を反転させて信号強度を約 2 倍とし、1T1R型の構造において得られる信号強度の小ささを克服する方式(差動方式)が開示されている。

【0008】また、2000 Proc. of Int Solid-State Circuits Conf. P 128 では、2 つの電界効果型トランジスタと 2 つの TMR 素子を組み合わせた 2T2R 型の構成のメモリセルが提案されている。これによれば、2 つの TMR 素子の抵抗値を相補的に設定することで信号強度を大きくすることができる。

#### 【0009】

【発明が解決しようとする課題】特開平6-84347号公報において開示された 1T1R 型のメモリセルは、比較的大きな磁気抵抗変化を示すトンネル磁気抵抗素子(TMR (Tunnel Magneto Resistance) 素子)を用いた場合でも、0.3V 程度の印加電圧による抵抗値の変化は 20~30% 以下であり、さらに印加電圧が大きくなると磁気抵抗変動率が急激に小さくなる。

【0010】また、IBM社のW. J. Gallagher が米国特許U.S.P. 5, 640, 343 および U.S.P. 5, 793, 697 で開示した、TMR 素子 1 個とダイオード 1 個を直列に接続した単位メモリセルが、

マトリックス状に設けられた X-Y 配線により接続されたメモリアレイでは、TMR 素子の抵抗値のばらつきやダイオードの順方向抵抗のばらつき、配線の電圧降下などの影響を無くすために大きな磁気抵抗比が要求されるのでメモリチップを構成することが困難である。また、米国特許U.S.P. 5, 640, 343 および U.S.P. 5, 793, 697 に開示された構成では、TMR 素子とダイオードが X-Y 配線により挟まれているが、このような構成であると X-Y 配線のうちの一方の配線を形成した後にダイオードを形成する工程が来る所以、配線の溶解、劣化を考慮すればダイオードの形成工程で高温な加熱工程を取り入れられないという問題がある。その結果、ダイオードの特性が悪く、逆バイアス時のリーク電流が大きくなり、大規模なメモリアレイを構成することが困難となる。

【0011】また、特開平6-84347号公報に開示された方法では、セル面積がマトリックス型に比べ大きくなる。

【0012】また、2000 Proc. of Int Solid-State Circuits Conf. P 128 で提案された 2T2R 型の構成では、マトリックス型よりセル面積が大きく、また、1T1R 構造に比較してもセル面積が 2 倍程度と大きくなる。

【0013】つまり、マトリックス型構造の MRAM セルはセル面積が小さく集積度の面で有利なことは明らかであるが、高集積に耐えるだけの素子構成および駆動方法を達成することが困難であるといえる。

【0014】上記したように、強磁性体の磁化方向を選択することで磁気抵抗値を可変とした可変抵抗器を用いた MRAMにおいて、セル面積を小さくすることと、安定的に動作させることとを両立させることは困難であり、特に、マトリックス型においては、信号強度が小さいため、記憶情報を安定的に検出することが困難である。

【0015】本発明は、このような従来の技術が有する未解決の課題を解決するべくなされたものであり、マトリックス型 MRAM においてセル面積が小さく、かつ、記憶した情報を安定的に検出できるメモリ構造およびその駆動方法を提供することを目的としている。

#### 【0016】

【課題を解決するための手段】上記目的は以下の構成により達成される。

【0017】強磁性体の磁化の方向によって情報を記憶する不揮発性の強磁性体メモリであって、互いに平行に配置された少なくとも 1 本のビット線と、前記ビット線と交差するように配置され、所望により接地可能な、少なくとも 1 本のワード線と、半導体基板上に形成され、一方の端子が所定の前記ワード線に接続されたスイッチング素子と、前記強磁性体の磁化の方向を選択することで電気抵抗値を選択可能であり、前記スイッチング素子

の他方の端子に一方の端子が接続され、所定の前記ビット線に他方の端子が接続された可変抵抗器とを有し、前記スイッチング素子と可変抵抗器は前記ビット線とワード線の各交点に設けられ、前記スイッチング素子の直上に前記ビット線、ワード線、可変抵抗器が積層されていることを特徴とする強磁性体メモリ。

【0018】そして、係る構成によれば、単純なマトリクス型構造でセル面積の小さいMRAMを安定に動作させることができる。

【0019】本発明の実施態様によれば、前記スイッチング素子は、PN接合ダイオードであり、前記半導体基板上に形成されたP型およびN型拡散層からなっている。

【0020】本発明の実施態様によれば、前記P型およびN型拡散層は前記半導体基板面に対し並んで配置されている。

【0021】本発明の実施態様によれば、前記可変抵抗器は、強磁性体膜／トンネル絶縁膜／強磁性体膜からなっている。

【0022】本発明の実施態様によれば、前記強磁性体膜が膜面に対して水平方向に磁化されている。

【0023】本発明の実施態様によれば、前記強磁性体膜が膜面に対して垂直方向に磁化されている。

【0024】本発明の実施態様によれば、前記強磁性体膜の一方は他方に比べて保磁力が大きく、情報は保磁力が大きな強磁性体膜に蓄積され、読み出しが保磁力の小さな強磁性体層の磁化を反転させ、反転前後の前記可変抵抗器の抵抗値を比較することにより行われる。

【0025】本発明の実施態様によれば、前記強磁性体メモリは、更に、前記ビット線に接続され、前記反転前後の可変抵抗器の抵抗値を比較する比較器を有する。

【0026】これによれば、記憶された情報を保持したままで正確に情報を読み取ることができ、読み出し動作の後に再書き込みを行う必要がない。

【0027】本発明の実施態様によれば、前記ビット線と前記ワード線のうち、少なくとも1本が銅を主体とする材料によって構成されている。

【0028】これによれば、線に流れる電流が安定し、強磁性体メモリの動作が安定する。

【0029】本発明の実施態様によれば、前記半導体基板はSOI基板である。

【0030】これによれば、通常のMOS構造のものよりも高速に動作させることができる。

【0031】本発明の実施態様によれば、本発明の強磁性体メモリで構成された不揮発性磁気メモリチップである。

【0032】本発明の実施態様によれば、本発明の強磁性体メモリで構成された組込み型磁気メモリチップである。

【0033】本発明の実施態様によれば、本発明のメモ

リチップを用いた、携帯式通信機器である。

【0034】本発明の実施態様によれば、本発明のメモリチップを用いた、パーソナルコンピュータ機器である。

【0035】メモリチップ、携帯式通信機器あるいはパーソナルコンピュータ機器において不揮発性メモリ機能を小型に実現できるので、小型化と電源が不安定な条件での使用とを両立でき、また、バックアップ電源が不要で、プログラムの書換えも高速になる。

【0036】また、上記目的は以下の方法によつても達成される。

【0037】本発明の不揮発性の強磁性体メモリの駆動方法であつて、読み出し動作において、前記可変抵抗器の前記電気抵抗値を取得、保持し、前記強磁性体の磁化方向を反転させ、磁化方向が反転した後の前記電気抵抗値を取得し、磁化方向が反転する前と後の前記磁気抵抗値を比較した結果から前記情報を判別する、強磁性体メモリの動作方法。

【0038】

【発明の実施の形態】本発明の実施の形態について図面を参照して詳細に説明する。

【0039】図1は、本発明の一実施形態の強磁性体メモリの構成を示す回路構成図である。

【0040】本実施形態の強磁性体メモリは、 $3 \times 3$ のマトリクス状に配置されたメモリセルC11, C12, C13, C21, C22, C23, C31, C32, C33と、ワード線WL1, 2, 3と、ビット線BL1, 2, 3と、書き込み線WritL1, 2, 3と、電界効果型トランジスタTW1, 2, 3, TW1', 2', 3'、TWL1, 2, 3, TWL1', 2', 3'、Tb1, 2, 3, Tb10, 20, 30, Tb11, 21, 31と、センスアンプSA1, 2, 3を有している。

【0041】ビット線BL1, 2, 3は互いに平行に配置されている。

【0042】ワード線WL1, 2, 3は互いに平行であり、ビット線BL1, 2, 3と交差して配置されている。

【0043】書き込み線WritL1, 2, 3は、ワード線WL1, 2, 3と同様に、互いに平行でありビット線BL1, 2, 3と交差して配置されている。

【0044】メモリセルC11は、スイッチング素子（ここではPN接合形ダイオードを用いて説明する。以下、単にダイオードと称する）D11と、強磁性体の磁化方向を選択することにより電気抵抗値を可変とした可変抵抗器として機能するTMR素子r11とを有しており、ダイオードD11の一方の端子とTMR素子r11の一方の端子が接続されている。

【0045】同様に、メモリセルC12, C13, C21, C22, C23, C31, C32, C33は、ダイ

オードD12, D13, D21, D22, D23, D31, D32, D33と、対応するTMR素子r12, r13, r21, r22, r23, r31, r32, r33とがそれぞれ接続された構成である。

【0046】ダイオードD11, D21, D31の他方の端子はワード線WL1に接続されている。同様に、ダイオードD12, D22, D32の他方の端子はワード線WL2に接続され、ダイオードD13, D23, D33の他方の端子はワード線WL3に接続されている。

【0047】また、TMR素子r11, r12, r13の他方の端子はビット線BL1に接続されている。同様に、TMR素子r21, r22, r23の他方の端子はビット線BL2に接続され、TMR素子r31, r32, r33の他方の端子はビット線BL3に接続されている。

【0048】電界効果型トランジスタTW1, 2, 3は、オンするとそれぞれ対応するワード線WL1, 2, 3に電圧V<sub>DD</sub>を印加するスイッチング素子である。

【0049】電界効果型トランジスタTW1', 2', 3'は、オンするとそれぞれ対応するワード線WL1, 2, 3を接地するスイッチング素子である。

【0050】電界効果型トランジスタTWL1, 2, 3, TWL1', 2', 3'はスイッチング素子であり、対応する電界効果型トランジスタ同士（例えば、TWL1とTWL1'）が同時にオンすると対応する書き込み線（例えば、W<sub>right</sub>L1）に電流が流れる。

【0051】電界効果型トランジスタTWL1', 2', 3'は、オンするとそれぞれ対応する書き込み線W<sub>right</sub>L1, 2, 3を接地するスイッチング素子である。

【0052】電界効果型トランジスタTb1, 2, 3は、オンするとそれぞれ対応するビット線BL1, 2, 3に電圧V<sub>DD</sub>を印加するスイッチング素子である。

【0053】電界効果型トランジスタTb10, 20, 30は、オンするとそれぞれ対応するセンスアンプSA1, SA2, SA3の一方の入力端子にビット線BL1, 2, 3の電圧レベルを入力するスイッチング素子である。

【0054】電界効果型トランジスタTb11, 21, 31は、オンするとそれぞれ対応するセンスアンプSA1, SA2, SA3の他方の入力端子にビット線BL1, 2, 3の電圧レベルを入力するスイッチング素子である。

【0055】センスアンプSA1, SA2, SA3は、2つの入力電圧のレベルを比較した結果により“1”または“0”を出力する信号検出回路である。

【0056】本発明における特徴的構成は、以下の2点である。

1. 各TMR素子を選択するスイッチング素子であるダイオードが半導体基板の表面に形成されている点。

2. そのように形成されたダイオードの直上にワード線、TMR素子、ビット線が積層されている点。

【0057】このような構成では、スイッチング素子が先ず基板上に形成された後にワード線、ビット線と言った配線が形成されるため、スイッチング素子の形成プロセスにおいて配線の融解、劣化を気にせずに十分高温な加熱処理を取り入れることができる。その結果、特性の良いダイオードを形成することができ、安定に動作するMRAMを実現できる。

【0058】また、図2に示されるように接地線8（ワード線）、書き込み配線9、TMR素子12、ビット線13をダイオードの直上に積層することにより、基板上におけるTMR素子、ダイオード、ビット線13、接地線8、書き込み配線9の合計占有面積を減少させることができ、素子面積の小型化を図れる。しかし、TMR素子の磁性層として垂直磁化膜を用いた場合には、書き込み線に流れる書き込み電流により誘起された磁場がTMR素子12に対して垂直に印加される必要があるので、図9に示すように書き込み配線9はTMR素子の直下ではなく、側部に設ける必要がある。

【0059】なお、これらることはスイッチング素子として電界効果型トランジスタを用いた場合も同様である。

【0060】この強磁性体メモリへの情報の書き込みは、所望のビット線および書き込み線の両方に電流を流すことを行われる。また、読み出しは、センスアンプに接続されたペアの電界効果トランジスタ（例えば、Tb10とTb11）を切り替えてオンして、そのときのビット線の電圧変動をセンスアンプで検知することで行われる。

【0061】図2は、本実施形態のメモリセルのセル構造の一例を示す断面図である。

【0062】本実施形態のメモリセルは、n型半導体基板にp型拡散領域3およびn型拡散領域2からなるPN接合ダイオードが構成され、素子分離領域15で領域分離されたn型半導体基板1のp型拡散領域3と、強磁性体の磁化方向を選択することにより電気抵抗値を可変とした可変抵抗器として機能するTMR素子12の一方の端子とが、ローカル配線10、コンタクトプラグ4, 6および金属配線層5を介して接続されている。

【0063】TMR素子12の他方の端子はビット線13に結合され、PN接合ダイオードのn型拡散領域2コンタクトはプラグ7を介して接地線8（ワード線）と結合されている。

【0064】書き込み線9はビット線13に直交するように配置されており、書き込み操作時にはビット線13とともに電流が流れ、誘起された磁場によって強磁性体の磁化方向を変化させる。

【0065】なお、図8に示すように、本実施形態において接地線8によって書き込み線9を兼ねることで、書

き込み線9を削除した構造も考えられる。

【0066】PN接合ダイオードはp型不純物をドープさせた半導体(p型拡散領域3)と、n型不純物をドープさせた半導体(n型拡散領域2)を接合した構造であり、シリコンなどの半導体基板1に不純物を拡散させる、あるいは半導体薄膜を積層させるなどして作製することができる。

【0067】TMR素子12は、磁化方向によってトンネル電流が変化する強磁性体の磁化方向を選択することで電気抵抗値を可変とした可変抵抗器であり、例えば、強磁性体を用いた磁気抵抗素子において磁化方向により抵抗値が異なるという特性を利用した可変抵抗器である。

【0068】図3は、水平磁化(a)および垂直磁化(b)の場合のTMR素子の磁化の一例を説明するための説明図である。水平磁化とは強磁性体膜面に対して水平に磁化することをいい、垂直磁化とは強磁性体膜面に対して垂直に磁化することをいう。そして何れの場合も、強磁性体膜の磁化は配線に流れる電流によって誘起された磁場によって反転する。

【0069】図3を参照すると、TMR素子12は、保磁力の大きな強磁性体膜(ハード層16)とそれよりも保磁力の小さい強磁性体膜(ソフト層17)によってトンネル絶縁膜18を挟んだ構造であり、ハード層16とソフト層17の磁化方向が平行かつ同一方向である場合(以下、平行と称する)と、平行かつ反対方向である場合(以下、反平行と称する)とでトンネル電流量が大きく異なり、また抵抗値が異なる。例えば、ハード層16およびソフト層17の強磁性体膜には金属材料や合金などが用いられ、トンネル絶縁膜18には $\text{Al}_2\text{O}_3$ のような酸化物絶縁材料が用いられることが多い。一般に、TMR素子は反平行のとき抵抗値が大きく、平行のとき抵抗値が小さい。

【0070】水平磁化の場合、図2に示すように、書き込み配線9をTMR素子12の下に配置し、書き込み電流により誘起された磁場がTMR素子12に対して水平となるようとする。

【0071】これに対し、垂直磁化の場合は、図9に示すように、TMR素子12の横に書き込み配線9を配置し、書き込み電流により誘起された磁場がTMR素子12に対して垂直となるようとする。

【0072】次に、本実施形態の強磁性体メモリの動作について、水平磁化のTMR素子を用いた $3 \times 3$ ビットのメモリの場合を一例として説明する。

【0073】まず、TMR素子r22に情報を書き込む場合の動作について説明する。

【0074】図4に示すように、書き込み線Wr1tL2とビット線BL2に電流を流し、誘起された磁場によってTMR素子r22のハード層の磁化方向が決まる。このハード層の磁化の方向によって“1”または“0”

の情報がTMR素子r22に記憶される。

【0075】次に、TMR素子r22に書き込まれた情報を読み出すときの動作について説明する。

【0076】まず、図5(a)に示すように、書き込み線Wr1tL2に電流を流し、所定の方向にソフト層を磁化させる。これによりソフト層の磁化方向は初期化されるが、書き込み時に比べて磁場が小さいためハード層の磁化方向は変化しない。ここでは一例として、初期化された状態においてTMR素子r22の磁化状態が反平行であり、抵抗値が大きい状態であるとする。

【0077】次に、図5(b)に示すように、電界効果型トランジスタTb2, TW2'をオンにしてビット線BL2を経由してTMR素子r22に電流を流す。このとき、電界効果型トランジスタTb20をオンにしてセンスアンプSA2の一方の入力端子に電圧を入力する。この操作でビット線BL2上のA点の電圧がセンスアンプSA2の一方の入力端子に入力される。このときビット線BL2に接続された他のTMR素子r21, r23に電流が流れないようにワード線WL1, WL3に電圧 $V_{DD}$ を印加し、ダイオードD11, D21, D31, D13, D23, D33に逆バイアスをかける。

【0078】次に、図6(c)に示すように、書き込み線Wr1tL2に初期化の際(図5(a))とは逆方向に電流を流し、ソフト層の磁化方向を反転させる。この結果、TMR素子r22は平行に磁化されたことになり、抵抗値は小さくなる。

【0079】次に、図6(d)に示すように、電界効果トランジスタTb2, TW2'をオンにしてビット線BL2を経由してTMR素子r22に電流を流す。このとき図5(b)と異なり、電界効果トランジスタTb21をオンにしてセンスアンプSA2の他方の入力端子に電圧を入力する。この操作でビット線BL2上のA点の電圧がセンスアンプSA2の他方の入力端子に入力される。

【0080】この結果センスアンプSA2は、他方の入力端子(Tb21側)に比べて一方の入力端子(Tb20側)に高い電圧が入力されたこととなり、両者の電圧を比較した結果、例えば“1”を出力する。

【0081】図7は、本実施形態の強磁性体メモリの上記した情報の読み出し動作を示すタイミングチャートである。

【0082】図7を参照すると、A点の電圧差 $\Delta V$ がセンスアンプSA2が検知すべき電圧差である。ここでは、センスアンプSA2は電圧差 $\Delta V$ を検出して“1”を出力するが、ハード層に記憶された磁化方向が上記とは逆方向であった場合、A点の信号は点線のようになりセンスアンプSA2の出力は“0”となる。

【0083】すなわち、本実施形態における読み出し動作は、ソフト層の強磁性体の磁化方向が反転する前と後のA点の電位を比較することで、磁化方向が反転する前

と後の磁気抵抗値を得るという動作を含む点に特徴の一つがある。また、読み出し動作のはじめに、ソフト層の磁化方向を特定の方向に初期化したのはそのためである。

【0084】本実施形態における読み出し動作によれば、ソフト層の磁化方向を反転させて可変抵抗器の電気抵抗値を変化させ、その反転の前後の信号レベルの差分からハード層に記憶された情報を読み取るので、記憶された情報を保持したままで正確に読み取ることができ、読み出し動作の後に再書き込みを行う必要がない。したがって、本発明によってはじめて、簡単な構造と動作で正確に情報を読み出すことが可能となる。これは本発明の大きな特徴の一つである。

【0085】なお、本実施形態ではビット線に発生するノイズを抑制または減衰させる機構を設けることが好ましい。ビット線に発生するノイズを抑制または減衰させる機構の具体例としては、ビット線を電気的に浮遊させるもの、あるいはビット線を低いインピーダンスで接地するものなどがある。上記した読み出し動作中に、ソフト層の磁化方向を反転させるために書き込み線に電流を流すと、ビット線に誘導起電力による大きなスパイクノイズが発生し、信号の検知に悪影響を与える可能性があるが、ノイズを抑制または減衰させる機構でこの影響を低減させることができる。

【0086】また、書き込み線を兼ねたビット線と、書き込み線とを銅を主体とする材料によって構成してもよい。これによれば、書き込み時に流れる電流の信頼性が損なわれないため、本実施形態の強磁性体メモリを長期間にわたり安定的に動作させることができる。

【0087】また、電界効果型トランジスタのチャネル部分にSiGeを使用し、また、半導体基板としてSOI (Silicon On Insulator) を使用することが好ましい。これによれば、通常のMOS構造のものよりも高速に動作させることができ、強磁性体メモリのアクセス時間などの短縮が可能である。

【0088】試みとして、本実施形態のメモリセルと従来の1T1Rセルとのセル面積を比較してみる。

【0089】ここでは理想的な設計を想定し、水平磁化的TMR素子の大きさを $1\text{F} \times 3\text{F}$  (Fは最小加工寸法)、コンタクト穴の位置あわせ余裕を $0.5\text{F}$ 、素子分離領域の幅を $1\text{F}$ と仮定してメモリセルの面積を見積もった。

【0090】図10(a)は、1T1R型において接地線を2つのセルで共用する、セル面積が最小となる場合を想定してセル面積を見積もった配置図である。この結果、セル面積は $1.8\text{F}^2$ となった。

【0091】図10(b)は、本実施形態のセル面積を同様にして見積もった配置図である。この結果、セル面積は $1.6.5\text{F}^2$ となり、1T1R型より10%程度セル面積が小さくなることが判った。

【0092】なお、2つのTMR素子と2つのトランジスタで1セルを構成する2T2R型セルや、TMR作製プロセスが原因でさらにTMR面積が大きくなる場合などではこの差がさらに大きくなる。

【0093】メモリチップ、携帯式通信機器あるいはパソコン用コンピュータ機器などに本実施形態の強磁性体メモリを搭載することで、電源を遮断しても情報が失われない、いわゆる不揮発性メモリ機能を小型に実現できるので、小型化と電源が不安定な条件での使用とを両立させた機器を実現することができる。

【0094】例えば、従来SRAM (Static Random Access Memory) を電池によりバックアップするなどしていたワークメモリに代えて、バックアップなしで本実施形態の強磁性体メモリを使用することができ、小型化、不安定な電源での使用に加えて、バックアップが不要なことで消費電力の低減にもなる。

【0095】また、ソフトウェアプログラムを記録するプログラムメモリとして使用していたNOR型フラッシュメモリに代えて、それよりも数桁高速で書き換えが可能な本実施形態の強磁性体メモリを用いることで、携帯式通信機器、携帯式パソコン用コンピュータなどのプログラム書換えの利便性を飛躍的に向上させることができる。

【0096】以上説明したように、本実施形態の強磁性体メモリによれば、従来のメモリでは達成困難であった課題を容易な構造、駆動方法によって実現することができる。

【0097】なお、上記説明では各TMR素子を選択するスイッチング素子としてダイオードを用いた例で説明したが、そのようなスイッチング素子として、例えばMOS (Metal-Oxide-Semiconductor) FET (Field Effect Transistor) のようなトランジスタを使用しても構わない。

【0098】次に、本実施形態のTMRメモリの具体例を示す。

(第1の具体例) 第1の具体例は、トンネル絶縁膜を2つの強磁性体薄膜で挟んだ構造をもつTMR素子を、強磁性体の磁化方向を変更可能に選択することで電気抵抗値を可変とした可変抵抗器として用いたものである。

【0099】ここでは、TMR素子は保磁力の大きいハード層16と、それよりも保磁力の小さいソフト層17によってトンネル絶縁膜18を挟んだ構造であり、図3(a)のように水平磁化するものである。TMR素子はハード層16とソフト層17の磁化方向が平行の場合と反平行の場合で抵抗値が異なる。そして、この磁化方向は外部から磁場を与えない限り持続されるため不揮発性メモリを実現できる。

【0100】まず、第1の具体例のメモリの試作工程に

について説明する。

【0101】図11に示すように、n型シリコン基板19上に、SiO<sub>2</sub>からなる埋め込み型素子分離領域33と、PN接合ダイオードを構成するp型拡散領域21およびn型拡散領域20を形成した下地基板を用意し、それに層間絶縁膜を形成する。なお、p型拡散領域21およびn型拡散領域20を形成した後、イオン注入工程により拡散した不純物を活性化するために約950°Cの加熱処理を行なう。

【0102】次に、図12に示すように、p型拡散領域21とn型拡散領域20にそれぞれコンタクトするようにタングステンプラグ22、25を埋め込む。

【0103】次に、図13に示すように、Ti/A1SiCu/Ti層を形成した後、フォトリソグラフィー工程によってビア23と接地線26を形成し、さらに層間絶縁膜を形成する。

【0104】次に、図14に示すように、接地線26の上方に溝加工を施した後、メッキプロセスを含む銅埋め込み工程により銅書き込み配線27を形成し、さらに薄い層間絶縁膜を形成する。

【0105】次に、図15に示すように、ビア23の上にコンタクト穴を開け、ビア23にコンタクトするようにタングステンプラグ24を形成し埋め込む。

【0106】次に、図16に示すように、TiNからなるローカル配線層28、A1Cuからなる下部電極層29、Co/A1<sub>2</sub>O<sub>3</sub>/NiFe積層膜からなるTMR層30の順に形成する。なお、A1<sub>2</sub>O<sub>3</sub>トンネル絶縁膜の厚さは約2nmであり、A1金属をプラズマ中で酸化する方法で作製した。

【0107】次に、図17に示すように、TMR層30の上部電極をフォトリソグラフィー工程によりA1<sub>2</sub>O<sub>3</sub>トンネル絶縁膜を貫通しないように、所望の形状に加工する。

【0108】次に、図18に示すように、フォトリソグラフィー工程によりA1<sub>2</sub>O<sub>3</sub>トンネル絶縁膜とNiFe下部電極29を上部電極より一回り大きく一括して加工し、さらに、ローカル配線層28をフォトリソグラフィー工程により、所望の形状に加工する。

【0109】最後に、図19に示すように、SiN/SiO<sub>2</sub>からなる保護層32を形成し、パッド部分を開口して完成となる。

【0110】図20は、上記により完成したデバイスを上面から見た模式図である。この試作デバイスは、0.4μmルール（最小加工寸法が0.4μm）で設計され、3×3個のセルを有するテストサンプルであり、TMR有効面積0.4×1.2μm<sup>2</sup>、TMR底面積0.6×1.6μm<sup>2</sup>、フォトリソグラフィー時の位置あわせ余裕を0.2μm、素子分離領域幅を0.3μm、コンタクト穴径を0.4μmとした。その結果、セル面積は約3.64μm<sup>2</sup>となった。

【0111】全く同様の設計ルールを用い、2つのセルで接地線を共用する最もセル面積が小さくなる構成を想定して従来の1T1R型MRAMセルを設計すると約4.2μm<sup>2</sup>となる。また同様に、従来の2T2R型MRAMセルを設計すると約8.4μm<sup>2</sup>となる。したがって、本デバイスのセル面積が従来に比べて小さいものであることが証明された。

【0112】また、外部から0V、3.3Vのパルス信号を入力し、差動動作させた結果、ビット線に約±20mVの電位差（図7の△Vに相当する）が観測された。このことから、正常に読み出し動作が行われたことを確認できた。また、ビット線と書き込み線に書き込み電流を流して情報を書き込んだ後に、読み出し動作を行うと△Vで示される符号が変化し、正常に書き込み動作が行われたことを確認できた。

【0113】さらに、このメモリセルについて、ビット線に発生するノイズを抑制または減衰させる機構として、ビット線を電気的に浮遊させる対策を採用したものと、何ら対策を施さなかったものとを比較したところ、対策を施したものは対策を施さなかったものに比べて差動読み出し動作時のノイズレベルが約1/20となつた。

【0114】また、上記と同様の試作工程によって、SiGeチャネルを用いた電界効果型トランジスタを用いて強磁性体メモリデバイスを作製し、動作させたところ、約10%アクセス時間を短縮させることができた。

【0115】また、上記と同様の試作工程によって、SOI基板上に強磁性体メモリデバイスを形成することにより、約20%アクセス時間を短縮させることができた。

（第2の具体例）第1の具体例と同様な試作工程により、図21に示すようなメモリセルを試作した。第1の具体例と異なる点は、GdFe/Co/A1<sub>2</sub>O<sub>3</sub>/Co/GdFe積層膜からなるTMR層33を形成し、強磁性体膜面に対して垂直に磁化される構造を採った点である。

【0116】このメモリセルについて、第1の具体例と同様の動作試験を行った結果、読み出し、書き込みとも正常に動作することが確認できた。

#### 【0117】

【発明の効果】本発明によれば、単純なマトリクス型構造でセル面積の小さいMRAMを安定動作させることができるので、安定動作する不揮発性メモリを小型に実現可能である。

【0118】また、第2の強磁性体の磁化方向を反転させて可変抵抗器の電気抵抗値を変化させ、第1の強磁性体に記憶された情報を読み取るので、記憶された情報を保持したままで正確に読み取ることができ、読み出し動作の後に再書き込みを行う必要がない。

【0119】さらに、書き込み時に流れる電流が安定し

ており、書き込み時も強磁性体メモリの動作が安定する。

【0120】さらに、通常のMOS構造のものよりも高速に動作させることができ、強磁性体メモリのアクセス時間の短縮が可能である。

【0121】さらに、メモリチップ、携帯式通信機器あるいはパーソナルコンピュータ機器において不揮発性メモリ機能を小型に実現できるので、小型化と電源が不安定な条件での使用とを両立でき、また、バックアップ電源が不要で、プログラムの書換えも高速になる。

【0122】さらに、読み出し動作において、第2の強磁性体の磁化方向を反転させるのに伴うビット線に生じるスパイクノイズを抑制または減衰させることができ、ノイズによる悪影響を低減させることができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施形態の強磁性体メモリの構成を示す回路構成図である。

【図2】本実施形態のメモリセルのセル構造の一例を示す断面図である。

【図3】水平磁化(a)および垂直磁化(b)の場合のTMR素子の磁化の一例を説明するための説明図である。

【図4】TMR素子に情報を書き込む場合の動作を説明するための説明図である。

【図5】TMR素子に書き込まれた情報を読み出すときの動作を説明するための説明図(a)(b)である。

【図6】TMR素子に書き込まれた情報を読み出すときの動作を説明するための説明図(c)(d)である。

【図7】本実施形態の強磁性体メモリの上記した情報の読み出し動作を示すタイミングチャートである。

【図8】接地線によって書き込み線を兼ねることで、書き込み線を削除したメモリセルのセル構造の一例を示す断面図である。

【図9】TMR素子の横に書き込み配線を配置したメモリセルのセル構造の一例を示す断面図である。

【図10】従来のメモリセルと本実施形態のメモリセルのセル面積を比較するための配置図である。

【図11】第1の具体例における下地基板に壮観絶縁層を形成する工程を説明するための説明図である。

【図12】第1の具体例におけるタングステンプラグを埋め込む工程を説明するための説明図である。

【図13】第1の具体例におけるビアと接地線を形成する工程を説明するための説明図である。

【図14】第1の具体例における書き込み配線を形成する工程を説明するための説明図である。

【図15】第1の具体例におけるビアにコンタクトするタングステンプラグを形成する工程を説明するための説明図である。

【図16】第1の具体例におけるTMR層等を形成する工程を説明するための説明図である。

【図17】第1の具体例におけるTMR層の上部電極を加工する工程を説明するための説明図である。

【図18】第1の具体例におけるトンネル絶縁層と株電極を加工する工程を説明するための説明図である。

【図19】第1の具体例における保護層を形成し、パッド部分を開口する工程を説明するための説明図である。

【図20】第1の具体例のメモリセルを上面から見た模式図である。

【図21】第2の具体例のメモリセルのセル構造を示す断面図である。

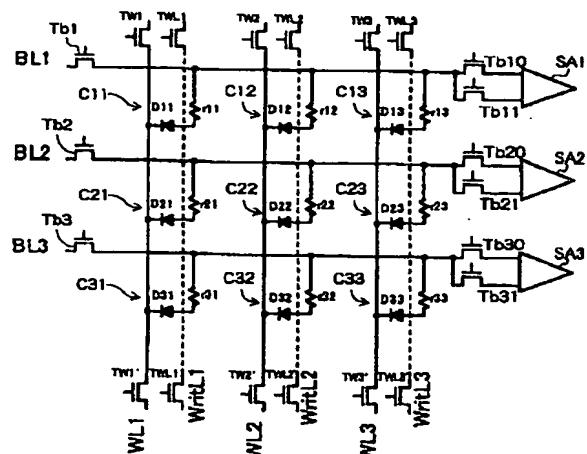
#### 【符号の説明】

1	n型半導体基板	
2	n型拡散領域	
3	p型拡散領域	
4	コンタクトプラグ	
5	金属配線層	
6	コンタクトプラグ	
7	コンタクトプラグ	
8	接地線	
9	書き込み配線	
10	ローカル配線	
11	下部電極	
12	TMR素子	
13	ビット線	
14	保護絶縁膜	
15	素子分離領域	
16	ハード層	
17	ソフト層	
18	トンネル絶縁膜	
19	n型シリコン基板	
20	n型拡散領域	
21	p型拡散領域	
22	タンクステンプラグ	
23	ビア	
24	タンクステンプラグ	
25	タンクステンプラグ	
26	接地線	
27	銅書き込み配線	
28	TiNローカル配線	
29	下部電極層	
30	TMR層	
31	銅ビット線	
32	保護層	
33	埋め込み型素子分離領域	
C11～13, C21～23, C31～33		メモリセル
D11～13, D21～23, D31～33		ダイオード
r11～13, r21～23, r31～33		TMR素子

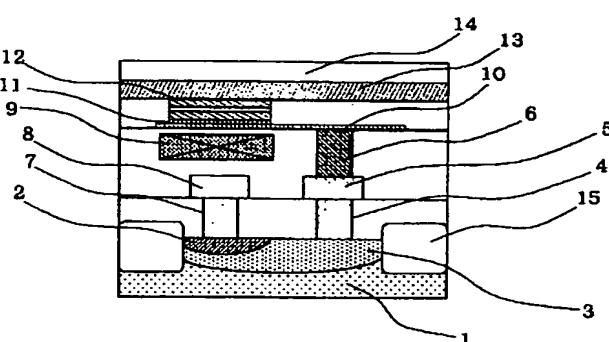
TW1~3, TW1'~3', TWL1~3, TWL  
 $1' \sim 3'$ 、Tb1~3, Tb10, 20, 30, Tb

11, 21, 31 電界効果型トランジスタ  
 SA1~SA3 センスアンプ

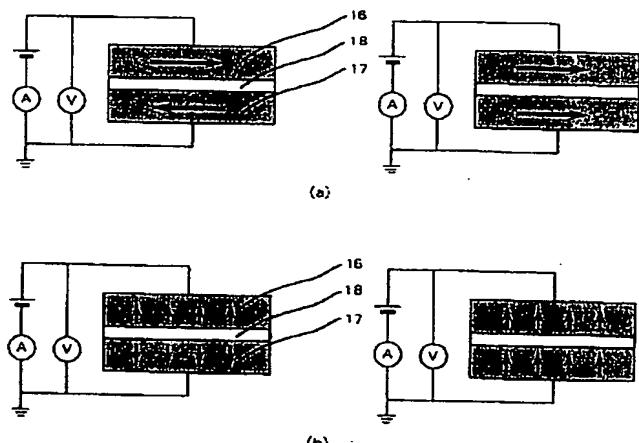
【図1】



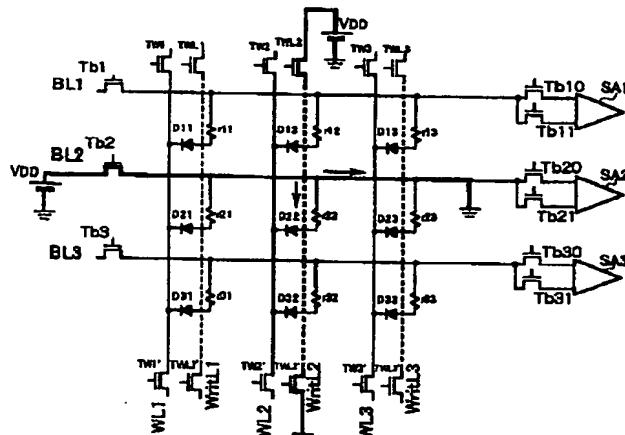
【図2】



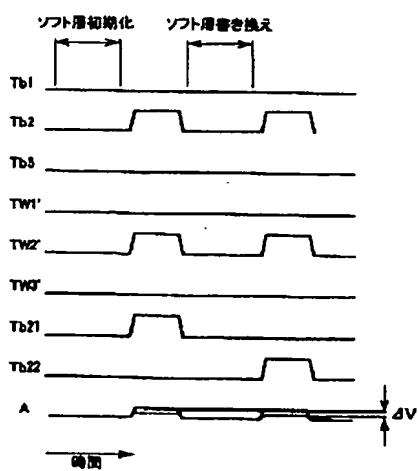
【図3】



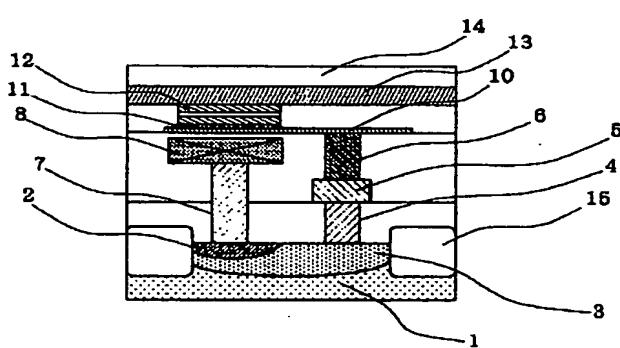
【図4】



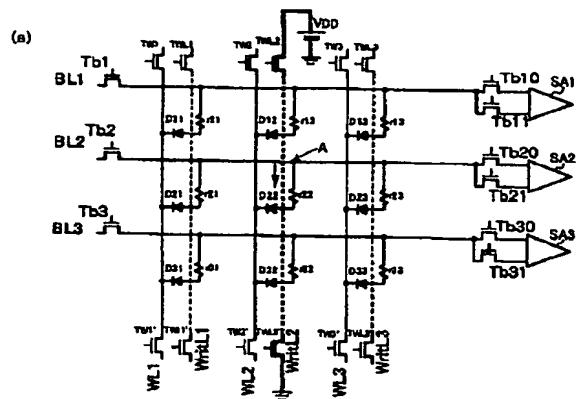
【図7】



【図8】



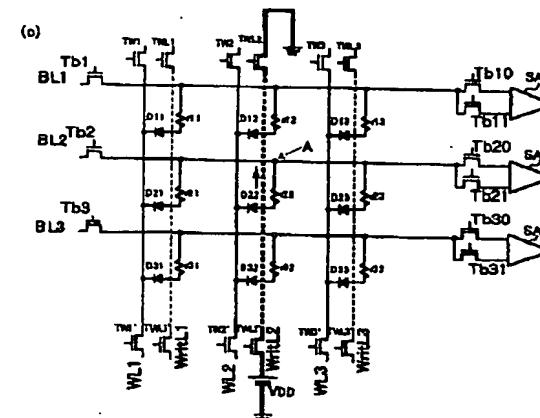
[図5]



(b)

Detailed description: This diagram shows a cross-section of a memory array. It features three vertical bit lines (BL1, BL2, BL3) and three horizontal word lines (WL1, WL2, WL3). The intersections of these lines define the memory cells. A central vertical line, labeled 'A', represents the column selection. On the left, a vertical line labeled 'VDD' provides power to the array. On the right, three sense amplifiers (Tb10, Tb11, Tb20, Tb21, Tb30, Tb31) are connected to the bit lines. The labels 'SA1' through 'SA3' are placed near the output of the sense amplifiers.

[図6]



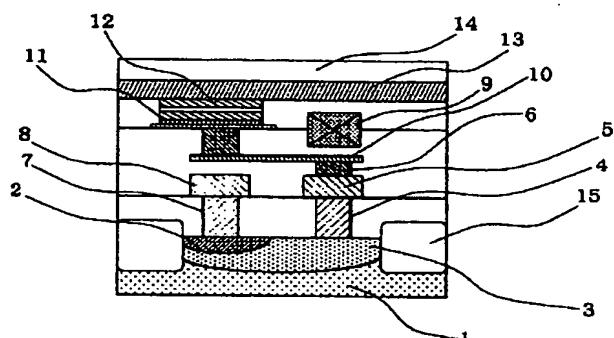
(d)

The diagram illustrates the timing sequence for a memory array. It shows the following signals over time:

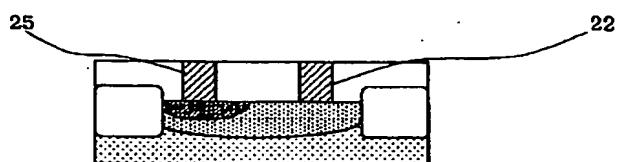
- VDD:** Power supply, shown as a constant high level.
- BL1, BL2, BL3:** Bitline signals, each consisting of four phases (Tb11-Tb14, Tb15-Tb18, Tb19-Tb22, Tb23-Tb26).
- Tb11-Tb31:** Control signals for wordlines WL1, WL2, and WL3, each with four phases.
- SA1, SA2, SA3:** Sense amplifiers, each receiving signals from three bitlines (BL1, BL2, BL3) and one control signal (Tb11, Tb20, Tb30 respectively).
- OUT:** The final output line receiving signals from the sense amplifiers.

Arrows labeled **A** point to specific transitions in the Tb11-Tb31 signals, indicating the timing of address and control operations.

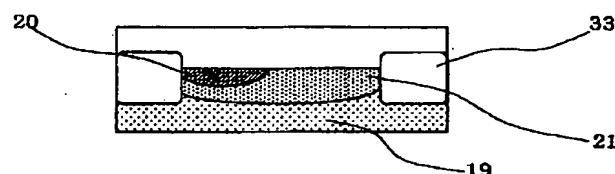
【図9】



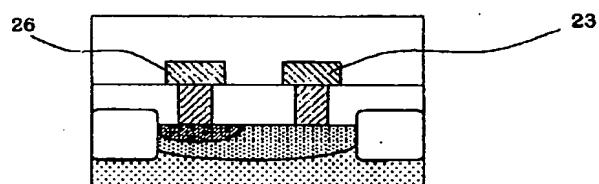
〔図12〕



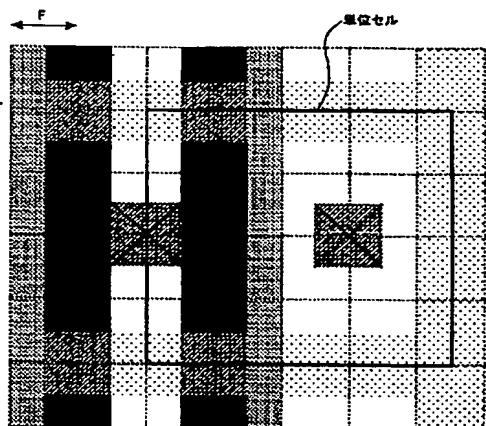
【図11】



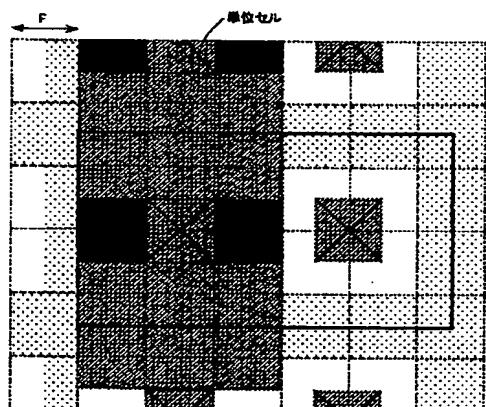
【図13】



【図10】

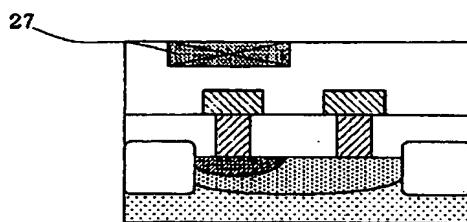


(a)

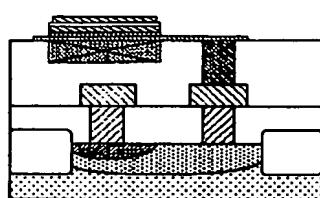


(b)

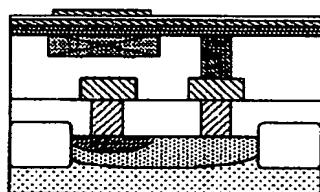
【図14】



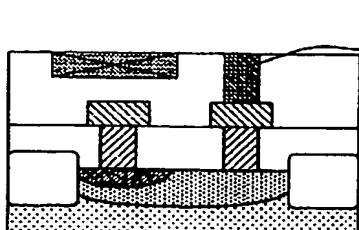
【図18】



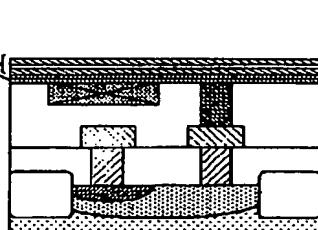
【図17】



【図15】

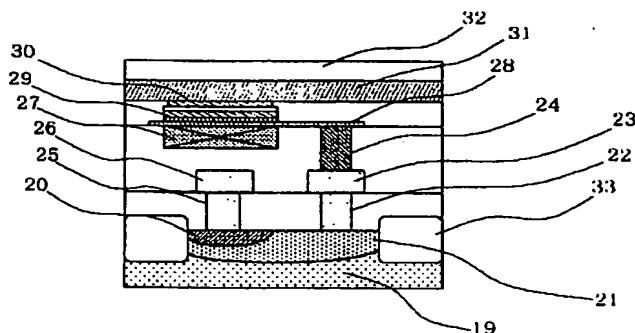


【図16】

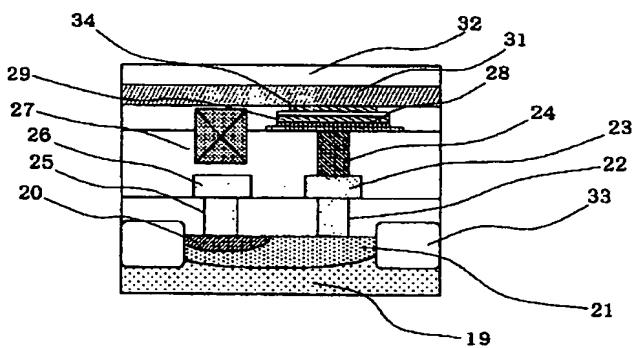
24 30  
29

28

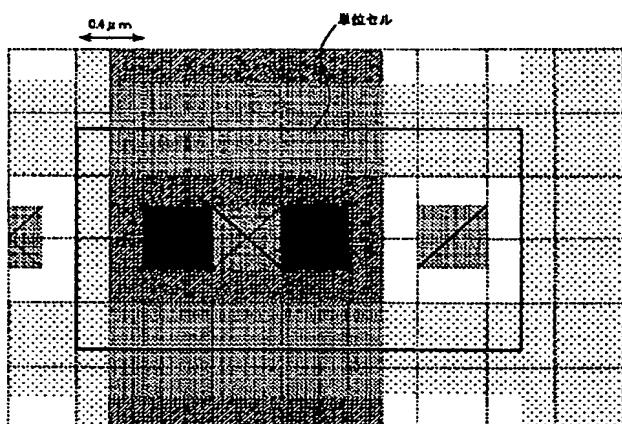
【図19】



【図21】



【図20】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成15年3月28日(2003.3.28)

【公開番号】特開2002-141481(P2002-141481A)

【公開日】平成14年5月17日(2002.5.17)

【年通号数】公開特許公報14-1415

【出願番号】特願2000-334491(P2000-334491)

【国際特許分類第7版】

H01L 27/105

G11C 11/14

11/15

H01L 43/08

【F I】

H01L 27/10 447

G11C 11/14 A

11/15

H01L 43/08 Z

【手続補正書】

【提出日】平成14年12月18日(2002.12.18)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正内容】

【請求項1】 強磁性体の磁化の方向によって情報を記憶する不揮発性の強磁性体メモリであって、互いに平行に配置された複数のビット線と、前記ビット線と交差するように配置され、所望により接地可能な複数のワード線と、半導体基板上に形成され、一方の端子が所定の前記ワード線に接続されたスイッチング素子と、前記強磁性体の磁化の方向を選択することで電気抵抗値を選択可能であり、前記スイッチング素子の他方の端子に一方の端子が接続され、所定の前記ビット線に他方の端子が接続された可変抵抗器とを有し、前記スイッチング素子と前記可変抵抗器は前記ビット線とワード線の各交点に設けられ、前記スイッチング素子の直上に前記ビット線、ワード線、可変抵抗器が積層されていることを特徴としている。

れでいることを特徴とする強磁性体メモリ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】強磁性体の磁化の方向によって情報を記憶する不揮発性の強磁性体メモリであって、互いに平行に配置された複数のビット線と、前記ビット線と交差するように配置され、所望により接地可能な複数のワード線と、半導体基板上に形成され、一方の端子が所定の前記ワード線に接続されたスイッチング素子と、前記強磁性体の磁化の方向を選択することで電気抵抗値を選択可能であり、前記スイッチング素子の他方の端子に一方の端子が接続され、所定の前記ビット線に他方の端子が接続された可変抵抗器とを有し、前記スイッチング素子と前記可変抵抗器は前記ビット線とワード線の各交点に設けられ、前記スイッチング素子の直上に前記ビット線、ワード線、可変抵抗器が積層されていることを特徴としている。

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**